

④ 公開特許公報(A)

昭60-161669

⑥ Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	③ 公開
H 01 L 29/78		8422-5F	昭和60年(1985)8月23日
H 01 L 21/76		8122-5F	
// H 01 L 27/08	1 0 2	6655-5F	審査請求 未請求 発明の数 2 (全5頁)

④ 発明の名称 半導体装置およびその製造方法

⑥ 特 願 昭59-15213

⑥ 出 願 昭59(1984)2月1日

⑦ 発 明 者	小 柳 光 正	小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑦ 出 願 人	株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地
⑦ 代 理 人	弁理士 高橋 明夫	外1名

明 細 書

発明の名称 半導体装置およびその製造方法  
特許請求の範囲

1. オフセット構造のMOSFETのソース・ドレイン領域を、低不純物濃度のオフセット部と、その外側に連なる領域主部とで構成し、この領域主部はオフセット部よりも深く形成すると共に基板側との界面に絶縁膜を介在させたことを特徴とする半導体装置。
2. 領域主部を高不純物濃度の半導体材料で形成してなる特許請求の範囲第1項記載の半導体装置。
3. 領域主部を金属又は金属シリサイドで形成してなる特許請求の範囲第1項記載の半導体装置。
4. MOSFETのソース・ドレイン領域の形成に際し、先に低不純物濃度のオフセット部を形成し、その後領域主部に相当する部位の半導体基板にオフセット部よりも深い溝を形成し、この溝の内面に絶縁膜を形成した上で溝内に低抵抗材料を充填して領域主部を構成したことを特徴とする半導体装置の製造方法。

5. オフセット部をゲート電極を利用した自己整合法により形成し、その後ゲート電極にサイドウォールを形成しかつこれをマスクとして領域主部の溝をエッチング形成してなる特許請求の範囲第4項記載の半導体装置の製造方法。

6. 溝内面を酸化して酸化膜を形成し、この酸化膜を熱処理として形成してなる特許請求の範囲第4項又は第5項記載の半導体装置の製造方法。

発明の詳細な説明

〔技術分野〕

本発明は高速動作を可能とし、かつ一方では高集積化や耐圧の向上を可能にした半導体装置およびその製造方法に関するものである。

〔背景技術〕

近年のIC、LSI等の半導体装置は益々高集積化が図られており、MOSFET(MOS型電界効果トランジスタ)では短チャネル化が図られている。しかしながら、短チャネル化を進めると、いわゆる短チャネル効果で生じるしきい値のゲート長依存性などの副作用を防ぐ上からソース・ド

レイン領域を狭くしなければならず、これらソース・ドレイン領域の抵抗が大となって素子の高速化の障害になる。また、短チャネル化に伴って耐圧にも問題が生じることとなり、従来、ソース・ドレイン領域を高濃度の領域主部と、低濃度の領域とからなるプロファイルのLightly Doped Drain 構造が提案されてきている(IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL ED-29, NO. 4 APRIL 1982 P590)。しかし、抵抗が相対的に小さい領域主部が更に微小化されてしまい、前述した高抵抗化を助長することになる。また、ソース・ドレイン領域の特に高濃度部位が直接導電層の基板やウェルに接している構成であることから、接合容量が大きくなると共に、これをC-MOS構造に用いたときにはクチャップ耐圧が低くなり、素子分離寸法を大きくしなければならない等高集積化の障害となる。

#### 〔発明の目的〕

本発明の目的は短チャネル化を図ったMOSF

ETのソース・ドレイン領域の低抵抗化を図って高速化を可能にすると共に、その耐圧の向上および接合容量の低減を可能とし、更に高集積化を達成することのできる半導体装置を提供することにある。

また、本発明の他の目的は前記した高速動作可能でかつ高集積化を達成する半導体装置の好適な製造方法を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

#### 〔発明の概要〕

本願において開示される発明のうち代表的なものとの概要を簡単に説明すれば、下記のとおりである。

すなわち、オフセット構造に形成したMOSFETのソース・ドレイン領域における領域主部を深く形成すると共に、この領域主部と基板側との界面に絶縁膜を介在させる構成とすることにより、耐圧の向上はもとよりソース・ドレイン領域の見

かけ上の深さを大きくして低抵抗化、つまり高速化を達成し、更に接合容量の低減を図り、しかも短チャネル化により高集積化を達成するものである。

また、ソース・ドレイン領域のオフセット部位を形成した後に領域主部の部位に溝を形成し、この溝の表面に絶縁膜を形成した上で溝内に導電材料を充填することにより、前記高速動作動理、高集積型の半導体装置の製造を完成するものである。

#### 〔実施例〕

第1図は本発明の半導体装置をN型MOSFETに適用した実施例を示している。即ち、P型のシリコン半導体基板2の主面上には選択酸化法(LOCOS法)で形成したフィールド絶縁膜3を設けて活性領域を画成し、この活性領域内にN-MOSFET1を構成している。このN-MOSFET1はゲート絶縁膜4上に形成したゲート電極5と、N型不純物をドーパさせたソース・ドレイン領域6、6とで構成しており、特にソース・ドレイン領域は不純物濃度の低い( $N^-$ )部分7、

7と、これらの各外側に連続する不純物濃度の高い( $N^+$ )領域主部8、8とで形成している。そして、前記領域主部8、8は基板2の内方に向かって深く形成して低抵抗化を図っている。また、領域主部8、8と基板2との界面にはシリコン酸化膜( $SiO_2$ 膜)からなる絶縁膜9、9を形成し、各領域主部8、8における接合容量の低減を図っている。図中、10、11は $SiO_2$ 、PSGの層間絶縁膜12、12はA<sub>1</sub>配線である。

次に以上の構成のN-MOSFET1の製造方法を第2図(a)~(d)の工程図に基づいて説明する。

先ず、第2図(a)のようにP型シリコン基板2の主面にLOCOS法によりフィールド絶縁膜( $SiO_2$ )3を形成して活性領域を画成すると共に、この活性領域上にゲート絶縁膜( $SiO_2$ )4を形成し、更にその上にポリシリコン層を形成した上でこれをパターンニングしてゲート電極5を形成する。しかる後に不純物としてりん(P)を自己整合によって基板主面にドーパさせ、オフセット部7、7に相当する低濃度の $N^-$ 層7a、7aを形

成する。

次いで、同図Dのようにシリコンナイトライド膜( $\text{Si}_3\text{N}_4$ )13および $\text{SiO}_2$ 膜14をCVD法により全面に形成し、その後これを反応性イオンエッチング法(RIE)によりエッチング除去することにより、同図Dのようにゲート電極5の両側にサイドウォール15、15を形成する。このとき、 $\text{SiO}_2$ 膜14を比較的厚く形成しておけば、ゲート電極5における断面形状とRIE法との関係により、ゲート電極5上にも $\text{SiO}_2$ 膜14と $\text{Si}_3\text{N}_4$ 膜13を若干残すことができる。そして、このサイドウォール15、15をマスクとしてソース・ドレイン領域6、6に前記 $\text{N}^-$ 層7a、7aと同じ深さの溝16、16をエッチング形成する。

次に、再び $\text{Si}_3\text{N}_4$ 膜(第2 $\text{Si}_3\text{N}_4$ 膜)17と $\text{SiO}_2$ 膜(第2 $\text{SiO}_2$ 膜)18をCVD法により全面に形成し、かつこれをRIE法によりエッチング処理することにより、同図Dのように前記サイドウォール15、15の両側ないし前記溝

16、16の内立面に第2サイドウォール19、19を形成する。そして、再びこの第2サイドウォール19、19をマスクとし基板2をエッチングし、前記溝16、16の下側に同図Dのように、更に深い新たな溝20、20を形成する。

次いで、同図Dのように、第2 $\text{SiO}_2$ 膜18をエッチング除去した上で溝20、20内面を酸化して酸化膜9、9を絶縁膜として形成する。このとき、領域7、7の側面は第2 $\text{Si}_3\text{N}_4$ 膜17、17に被覆されているので酸化膜が形成されることはない。しかる上で、第2 $\text{Si}_3\text{N}_4$ 膜17を除去した後、同図Dのように高濃度にN型不純物をドーピングしたポリシリコン8aを全面に堆積させる。このとき、溝20、20はポリシリコン8aにより充填される。そして、このポリシリコン8aを表面からエッチングバックすれば、前記溝20、20内のポリシリコン8aのみが残され、同図Dのように高濃度不純物( $\text{N}^+$ )の領域主部8、8が形成される。この領域主部8、8は低濃度不純物の前記オフセット部7、7と連続状態にあり、これ

により各領域主部8、8と領域7、7とでソース・ドレイン領域6、6を形成する。

しかる上で、ゲート電極5の $\text{SiO}_2$ 膜14と $\text{Si}_3\text{N}_4$ 膜13を除去し、改めて酸化処理して同図Dのようにゲート電極5ないしソース・ドレイン領域6、6上に $\text{SiO}_2$ 膜10を形成する。更にその上にPSG膜11を形成し、かつコンタクトホール形成後にA<sub>1</sub>配線12、12を形成すれば第1図のN-MOSFET1を完成することができる。

以上のように形成されたN-MOSFET1によれば、ソース・ドレイン領域6、6は不純物濃度の低い領域7、7と、濃度の高い領域主部8、8とで形成され、かつゲート電極5とで構成されていることになる。したがって、短チャネル化した場合にもその耐圧を高いものにできる。一方、ソース・ドレイン領域6、6のこの構造により、領域の広い部分を占める領域主部8、8の深さを大きくできるのでその低抵抗化を図り、高速化を実現できる。この場合、領域7、7は従来通りで

あり、短チャネル化に伴うしきい値のゲート長依存性の悪作用が生じることはない。更に、領域主部8、8と基板2との界面には絶縁膜9、9を形成しているので、ソース・ドレイン領域6、6全体の接合容量を大幅に低減することもできる。結局、短チャネル化に伴う種々の不具合を防止でき、素子の微細化を図って高集積化を達成できる。

ここで、領域主部8、8の絶縁膜9、9は素子間分離用の絶縁膜として利用することもでき、したがって第3図のように2個のMOSFET1A、1Bを近接して配置することもできる。この構造を同図Dのように、Pウェル21、Nウェル22上に形成したN-MOSFET1A、P-MOSFET1BからなるC-MOSデバイスに適用した場合には、高集積化、高速化に加えてラッチアップ耐圧の向上も可能とされる。第3図中、第1図に対応する部分には同一符号を付してある。

〔効果〕

(I) MOSFETのソース・ドレイン領域を低不

純物誘導領域と領域主部とからなるオフセット構造としているので、耐圧の向上を図ることができる。

(2) ソース・ドレイン領域の領域主部のみを深く形成しているので、短チャネル化に伴なうしきい値のゲート長依存性の副作用を防止する一方で、ソース・ドレイン領域の低抵抗化を達成でき、高速化を達成できる。

(3) 領域主部と基板との界面に絶縁膜を形成しているため、接合容量の低減を図ることができ、高速化を助長すると共に動作の安定化を図ることができる。

(4) 短チャネル化によっても耐圧の向上、高速化等を達成できるので、素子の微細化を進めて高集積化を達成できる。

(5) ゲート電極の自己整合を利用したエッチング技術により溝を形成し、溝内面の酸化技術により絶縁膜を形成し、かつポリシリコンの堆積、エッチングバック技術によりソース・ドレインの領域主部を形成できるので、特殊な技術が必要とするこ

となく、しかも従来のMOSFETの製造工程に比べて大幅に工程数を増加することなく高耐圧、高速、高集積度の半導体装置を製造することができる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、ソース・ドレイン領域の領域主部を高純度不純物ポリシリコンに代えて金属又は金属シリサイドを使用してもよく、低抵抗化を一層向上することができる。また、溝の形成にはホトリソグラフィ技術を利用した選択エッチング法を利用してもよい。更に、各層の形成法やポリシリコンの堆積法にはCVD法の外種々の方法が利用できる。

〔利用分野〕

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である基本MOSFETに適用した場合について説明したが、

第 1 図

それに限定されるものではなくこのMOSFETを素子とするIC、LSIの全てに適用することができ、特に高速、高集積型の半導体装置に有効に適用できる。

図面の簡単な説明

第1図は本発明の一実施例の断面図、

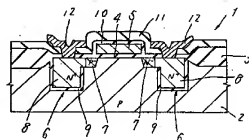
第2図(A)~(D)は製造工程の断面図、

第3図は変形例の断面図である。

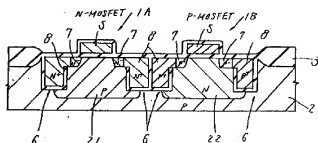
1、1A、1B…MOSFET、2…半導体基板、3…フィールド絶縁膜、4…ゲート絶縁膜、5…ゲート電極、6…ソース・ドレイン領域、7…低不純物誘導領域、8…領域主部、9…絶縁膜、10…SiO<sub>2</sub>膜、11…PSG膜、15…サイドウォール、16…溝、19…第2サイドウォール、20…溝、21…Pウエル、22…Nウエル。

代理人 弁理士

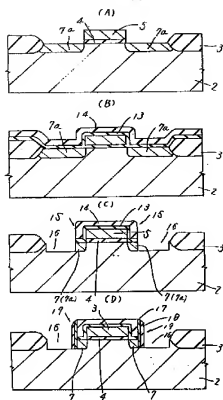
高 橋 明 夫



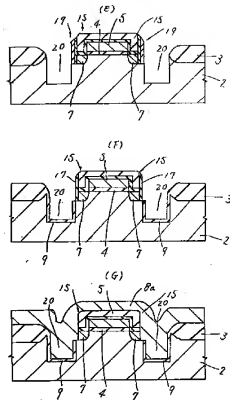
第 3 図



第 2 圖



第 2 圖



第 2 圖

